



Cgl

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Masamoto TAGO

Appln. No.: 09/998,243

Confirmation No.: 6291

Filed: December 03, 2001

For: COMPACT SEMICONDUCTOR DEVICE CAPABLE OF MOUNTING A
PLURALITY OF SEMICONDUCTOR CHIPS WITH HIGH DENSITY AND
METHOD OF MANUFACTURING THE SAME

Docket No: Q67536

Group Art Unit: 2829

Examiner: David A. ZARNEKE

Patent No.: 6,844,619

Issue Date: January 18, 2005

REQUEST FOR CERTIFICATE OF CORRECTION

ATTN: Certificate of Correction Branch

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Certificate

FEB 06 2006

of Correction


Sir:

Pursuant to the provisions of 37 C.F.R. § 1.322, please enter the attached Certificate of Correction.

Since the errors noted are believed to be the fault of the Patent and Trademark Office, we are not enclosing the \$100.00 Certificate of Correction fee. If it is found to be to the contrary, please charge our Deposit Account No. 19-4880.

In view of the foregoing, issuance of the Certificate of Correction is respectfully requested.

Respectfully submitted,


Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Date: February 1, 2006

FEB 7 2006

**UNITED STATES PATENT AND TRADEMARK OFFICE
CERTIFICATE OF CORRECTION**

PATENT NO: 6,844,619
DATED: January 18, 2005
INVENTOR(S): Masamoto TAGO

It is certified that error appears in the above-identified patent and that said Letters Patent is hereby corrected as shown below:

Col. 5, line 3, after "to" insert --a variation of--;

Col. 8, lines 11-12, between "resin 7." and "Herein," insert --Electrode pads 2a and 2b are also shown in Fig. 5.--.

MAILING ADDRESS OF SENDER:
SUGHRUE MION, PLLC

WASHINGTON OFFICE

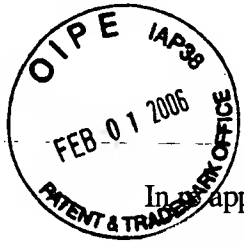
23373

CUSTOMER NUMBER

PATENT NO. 6,844,619

No. of additional copies
0

FEB 7 2006



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In application of

Masamoto TAGO

Appln. No.: 09/998,243

Confirmation No.: 6291

Filed: December 03, 2001

U.S. Patent No.: 6,844,619

Docket No: Q67536

Allowed: September 15, 2004

Group Art Unit: 2829

Examiner: David A. ZARNEKE

Issued: January 18, 2005

For: COMPACT SEMICONDUCTOR DEVICE CAPABLE OF MOUNTING A PLURALITY OF SEMICONDUCTOR CHIPS WITH HIGH DENSITY AND METHOD OF MANUFACTURING THE SAME

SUBMISSION OF ART

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

For the possible benefit of anyone subsequently evaluating the scope and/or validity of the above-identified patent, it is requested that the documents that are listed below (copies enclosed, except for the U. S. patents) be placed in the U.S. Patent and Trademark Office's file wrapper of the above-identified U.S. patent:

1. United States Patent No. 5,811,879, issued September 22, 1998.
2. United States Patent No. 5,608,262, issued March 4, 1997.
3. Korean Patent Application Publication No. 2003-0006343, published January 19, 2002.

The above-listed documents were cited in a Korean Office Action, dated October 28, 2004, a copy of which is enclosed along with a complete English translation thereof.

FEB 7 2006

SUBMISSION OF ART

U.S. Patent Application No.: 09/998,243

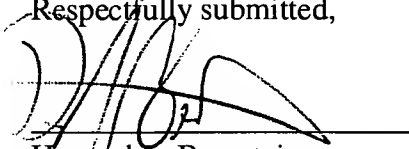
U.S. Patent No.: 6,844,619

Atty. Docket No.: Q67536

The undersigned has not reviewed the teachings of the above-listed document in detail and thus makes no representations concerning the relevancy or materiality of the above-listed document.

This is not an Information Disclosure Statement and no response from the U.S. Patent and Trademark Office is believed to be necessary, nor are any fees believed to be due.

Respectfully submitted,



Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Date: February 1, 2006

FEB 7 2006

출력 일자: 2004/10/29

발송번호 : 9-5-2004-045513581

발송일자 : 2004. 10. 28

제출기일 : 2004. 12. 28

수신 : 서울 강남구 역삼1동 824-19 동경빌딩(특

허법인 코리아나[박해선] 귀하
No. 135-934



특허청

의견제출통지서

NOTICE OF GROUNDS
FOR REJECTION

출원인

명칭 닛뽕덴끼 가부시키가이샤 (출원인코드: 519980604474)

NEC01P-1262

주소 일본 도오교도 미나토구 시바 5초메 7방 1고

대리인

명칭 특허법인코리아나

주소 서울 강남구 역삼1동 824-19 동경빌딩(특허법인 코리아나)

지정된변리사 박해선 외 2명

출원번호

10-2001-0075618 Korean Pat. Appln. No. 2001-75618

발명의 명칭

복수의 반도체 칩을 고밀도로 실장할 수 있는 소형 반도체장치 및 그
의 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

1. 이 출원의 특허청구범위 제19항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제 29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

- 본원의 청구범위 19항에 기재된 발명은 제1반도체 칩상에 제1높이를 갖는 외부단자를 준비하는 단계, 제1표면상에 실장되고 제1높이보다 작아지도록 제2높이를 갖는 칩을 준비하는 단계를 특징으로 하는 제조방법이나, 인용운헌1(미국특허공보 05811879호(1998.09.22))에는 외부단자보다 낮게 반도체 칩을 설치하는 구성이 실시되어 있고, 인용운헌2(미국특허공보 05608262호(1997.03.04))에는 외부접속단자보다 반도체 칩을 낮게 설치하는 구성(도면9), 제1반도체 칩의 표면에 제2반도체 칩을 형성하는 구성(반도체 칩의 형성면의 차이가 있으나, 이는 당업자가 큰 어려움 없이 변경 가능한 정도의 기술임)이 실시되어 있으므로, 본원의 청구범위 제19항에 기재된 발명은 상기 기술분야에서 통상의 지식을 가진 자가 인용운헌1 및 인용운헌2에 기재된 발명에 의하여 용이하게 발명할 수 있습니다.

2. 이 출원의 청구범위 제19항에 기재된 발명은 그 출원한 날전에 한 출원으로서 이 출원후에 공개된 2000년 출원 제 39957호(특허제2002-6343호 공보참조)의 출원서에 최초로 청구한 명세서 또는 도면에 기재된 발명과 동일한 것이므로 (이 출원의 발명자가 그 출원전에 출원한 상기 발명자와 동일하지 않으며 또한 이 출원시 출원인이 그 출원전에 출원한 상기 특허출원의 출원인과 동일하지 않음) 특허법 제29조제3항의 규정에 의하여 특허를 받을 수 없습니다.

- 본원(출원:2001.12.01, 우선권:2000.12.01)의 청구범위 19항에 기재된 발명은 제1반도체 칩상에 제1높이를 갖는 외부단자를 준비하는 단계, 제1표면상에 실장되고 제1높이보다 작아지도록 제2높이를 갖는 칩을 준비하는 단계를 특징으로 하는 제조방법이나 인용운헌3(공개특허 제2002-6343호(출원:2000.7.12, 공개:2002.01.19))에는 외부단자의 높이보다 낮게 형성된 반도체 칩의 구성이 실시되어 있고, 단지 인용운헌3에 기재된 발명은 CCD패키지에 적용되는 기술이고, 청구범위 제19항에 기재된 발명은 다중 칩 모듈 구조에 사용되는 기술이나 CCD패키지에 적용되는 기술을 다중 칩 모듈 구조에 적용하는 것은 당업자에게는 자명한 정도의 기술적 사상에 불과하므로 본원의 청구범위 제 19항에 기재된 발명은 인용운헌3에 기재된 발명과 실질적으로 동일합니다.

[청 부]

청부 1 미국특허공보 05811879호(1998.09.22) 1부.

출력 일자: 2004/10/29

첨부2 미국특허공보 05608262호(1997.03.04) 1부.
첨부3 공개특허 제2002-6343호(2002.01.19) 1부. 끝.

2004.10.28

특허청

전기전자심사국

응용소자심사담당관실

심사관 전범재



<<안내>>

문의사항이 있으시면 ☎ 042)481-5740 로 문의하시기 바랍니다.
서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

[Translation]

Issuance Date: October 28, 2004
Submission Due Date: December 28, 2004

THE KOREAN INTELLECTUAL PROPERTY OFFICE
NOTICE OF GROUNDS FOR REJECTION

Applicant : NEC CORPORATION
Attorney : KOREANA PATENT FIRM
Application No. : Korean Patent Application No. 2001-75618
Title of Invention: COMPACT SEMICONDUCTOR DEVICE CAPABLE OF
MOUNTING A PLURALITY OF SEMICONDUCTOR CHIPS
WITH HIGH DENSITY AND METHOD OF MANUFACTURING
THE SAME

This application shall be rejected on the following grounds pursuant to Article 63 of the Korean Patent Law. If you have any objection, please submit an Argument to the KIPO. (The term can be extended by one month each, however, a separate Acknowledgement of Extension of Time will not be issued.)

GROUNDS FOR REJECTION

1. Claim 19 of the present invention can be easily invented by a person having ordinary skill in the art to which the present invention pertains as indicated below. Accordingly, this application cannot be patented pursuant to Article 29 (2) of the Korean Patent Law.

- The invention set forth in Claim 19 of the present application relates to a method of manufacturing characterized in comprising steps of preparing an external connecting terminal which is formed on a first surface and which has a primary height, and preparing a second semiconductor chip which is mounted on said first surface and which has a secondary height to be smaller than said primary height. However, a constitution installing a semiconductor chip lower than an external terminal is disclosed in the cited invention 1 (US Patent No. 5,811,879 (1998.09.22)), and a constitution installing a semiconductor chip lower than an external connecting terminal (Fig. 9) and a constitution forming a second semiconductor chip on the surface of a primary semiconductor chip (although there is difference in the forming surface of the semiconductor chip, however such is a technology to the extent a person skilled in the pertinent art to easily change without any big difficulty) are disclosed in the cited invention 2 (US Patent No. 5,608,262 (1997.03.04)). Accordingly, the invention set forth in Claim 19 of the present application can be easily invented by a person skilled in the pertinent art from the inventions described in the cited inventions 1 & 2.

FEB 7 2005

2. The invention set forth in Claim 19 of the present application is identical to the invention described in the specification attached to the original application or the drawings of Korean Patent Application No. 2000-39957 (see Korean Patent Laid-Open No. 2002-6343) which was filed before the filing of the present application and laid-open after the filing of the present application (the invention of the present application is not the same inventor of the application filed before the filing of the present application, and also the applicant of the time of filing the present application is not the same applicant of the patent application filed before the filing of the present application), and thus cannot be patented pursuant to Article 29(3) of the Korean Patent law.

-The invention set forth in Claim 19 of the present application (Application filing date: 2001.12.01, Priority date: 2000.12.01) relates to a method of manufacturing characterized in comprising steps of preparing an external connecting terminal which is formed on a first surface and which has a primary height, and preparing a second semiconductor chip which is mounted on said first surface and which has a secondary height to be smaller than said primary height. However, a constitution of a semiconductor chip formed lower than the height of an external terminal is disclosed in the cited invention 3 (Korean Patent Laid-Open No. 2002-6343 (Application filing date: 2000.07.12, Laid-open date: 2002.01.19)). The invention recited in the cited invention 3 is a technology applied to CCD package, and the invention set forth in Claim 19 of the present invention is a technology used in a multiple chip module structure. However, application of the technology applied to CCD package to a multiple chip module structure is an obvious technical idea to a person skilled in the pertinent art. Accordingly, the invention set forth in Claim 19 of the present application is substantially identical to the invention recited in the cited invention 3.

[Attachment]

Attached 1 A copy of US Patent No. 5,811,879 (1998.09.22)

Attached 2 A copy of US Patent No. 5,608,262 (1997.03.04)

Attached 3 A copy of Korean Patent Laid-Open No. 2002-6343 (2002.01.19)

Dated October 28, 2004

Electric & Electronic Examination Bureau
of the Korean Intellectual Property Office

Examiner(s)-in-charge Bum-Jae JUN

7 2006

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2002-0006343
H01L 23/02 (43) 공개일자 2002년09월19일

(21) 출원번호 10-2000-0039957
(22) 출원일자 2000년07월12일
(71) 출원인 애플 테크놀로지 코리아 주식회사 마이클 디. 오브라이언
광주 북구 대촌동 957
(72) 발명자 정태복
서울특별시노원구상계동1256번지은빛아파트209-1310호
(74) 대리인 허상훈

심사청구 : 없음

(54) 반도체 패키지 및 그 제조방법

요약

본 발명은 일면에 부착된 글래스를 통하여 반도체 칩에 광신호를 수신할 수 있도록 제조되는 CCD(Charge Coupled Device)패키지를 보다 경박단소화로 제조하고 인출단자의 수를 증가시켜 성능을 향상시킬 수 있도록 한 구조의 반도체 패키지 및 그 제조방법에 관한 것으로서, 소정의 크기를 갖는 글래스와, 이 글래스에 접착수단으로 부착되고 입출력용 전도성물질층을 포함하는 부재와, 이 부재의 안쪽단 테두리에 노출된 전도성물질층을 따라 병퍼 융착으로 부착되는 반도체 칩과, 상기 반도체 칩 주변의 부재상으로 노출된 전도성물질층에 부착된 다수의 인출단자로 구성된 것을 특징으로 반도체 패키지 및 그 제조방법을 제공하고자 한 것이다.

도면

도1

색인어

반도체 패키지, CCD, 글래스, 부재

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 패키지의 일 실시예를 나타내는 단면도,
도 2는 본 발명에 따른 반도체 패키지의 다른 실시예를 나타내는 단면도,
도 3은 본 발명에 따른 반도체 패키지의 또 다른 실시예를 나타내는 단면도,
도 4는 본 발명에 따른 반도체 패키지의 또 다른 실시예를 나타내는 단면도,
도 5는 종래의 반도체 패키지를 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

12 : 글래스	14 : 회로필름
15 : 전도성패턴	16 : 접착제
17 : 필름	18 : 병퍼
20 : 코팅재	22 : 링
24 : 반도체 칩	26 : 인출단자
28 : 전도성 잉크	30 : 커버코트
32 : 인쇄회로기판	
100,200,300,400 : 반도체 패키지	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지와 그 제조방법에 관한 것으로서, 더욱 상세하게는 일면에 부착된 글래스를 통하여 반도체 칩에 광신호를 수신할 수 있도록 제조되는 CCD(Charge Coupled Device)패키지를 보다 경박단소화로 제조하고 인출단자의 수를 증가시켜 성능을 향상시킬 수 있도록 한 구조의 CCD 반도체 패키지와 그 제조방법에 관한 것이다.

통상적으로 CCD 반도체 패키지는 일면에 부착된 글래스를 통하여 반도체 칩이 노출된 패키지로써, 디지털 카메라등 화상을 다루는 기기에서 반도체 칩이 글래스를 통하여 입사되는 광신호를 수신하는 역할을 하게 된다.

종래의 CCD 반도체 패키지의 구조를 첨부한 도 5를 참조로 간략히 설명하면 다음과 같다.

리드프레임의 칩탑재판(34)상에 부착된 반도체 칩(24)과, 상기 리드프레임의 리드(36)와 상기 반도체 칩(24)의 본딩패드간에 연결된 와이어(38)와, 상기 리드(36)와 칩탑재판(34)을 몰딩하고 있는 수지(40)와, 상기 리드(36)의 상면을 몰딩하고 있는 수지(40)에 외곽단이 홀려져 부착된 글래스(12)로 구성되어 있다.

따라서, 상기 글래스(12)를 통하여 반도체 칩(24)이 노출된 상태가 되는 바, 상기 반도체 칩(24)은 기기의 광신호를 글래스(12)를 통하여 수신하게 된다.

그러나, 상기와 같은 종래 구조의 반도체 패키지는 두께가 두껍고 인출단자의 수가 적으며, 크기가 크기 때문에 집약적 발달로 인한 광학기기 및 전자기기의 고기능화, 소형화 추세에 적합하지 못한 단점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 상기와 같은 단점을 감안하여 회로필름 또는 인쇄회로기판, 전도성잉크등 얇은 부재를 사용하여 보다 경박단소화된 크기와 두께, 그리고 보다 많은 인출단자수를 갖도록 한 CCD 반도체 패키지 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이하, 본 발명을 첨부도면을 참조로 상세하게 설명하면 다음과 같다.

상기한 목적을 달성하기 위한 본 발명의 반도체 패키지는 소정의 크기를 갖는 글래스(12)와, 이 글래스(12)에 접착수단(16)으로 부착되고 입출력용 전도성물질(15)을 포함하는 부재와, 이 부재의 안쪽단 테두리에 노출된 전도성물질(15)을 따라 병퍼(18) 융착으로 부착되는 반도체 칩(24)과, 상기 반도체 칩(24) 주변의 부재상으로 노출된 전도성물질(15)에 부착된 다수의 인출단자(26)로 구성된 것을 특징으로 한다.

또한, 상기 부재는 필름(17)의 일면에 전도성패턴(15)이 식각처리된 회로필름(14), 또는 수지층(44)과, 수지층(44)을 중상으로 식각처리된 전도성패턴(15)과, 이 전도성패턴(15)의 일부를 노출시키며 수지층(44)상에 도포된 커버코트(30)로 구성된 인쇄회로기판(32), 또는 커버코트(30)로 도포되고 전도성 물질로서 금속 알갱이를 포함하는 전도성 잉크(28)중 어느 하나인 것을 특징으로 한다.

특히, 상기 인쇄회로기판(32)의 중앙 절개부위에 동일한 두께의 글래스(12)가 평행하게 삽입 부착된다.

바람직하게는, 상기 부재와 칩(24)에 융착되어 있는 병퍼(18)를 따라 코팅재(20)가 몰딩된다.

더욱 바람직하게는, 상기 코팅재(20)가 내부로 넘치는 것을 방지하고자, 상기 부재와 칩(24)에 융착된 병퍼(18)의 안쪽끝을 따라 망(22)이 형성된다.

상기한 목적을 달성하기 위한 본 발명의 반도체 패키지 제조방법은 다수의 반도체 패키지 영역이 형성된 스트립 형태의 글래스(12)에 중앙이 개방되고 전도성 물질이 노출되게 식각 처리된 부재를 접착수단(16)으로 부착하는 공정과, 상기 개방된 부재의 중앙 테두리면에 노출된 전도성물질을 따라 병퍼(18)를 융착시켜 반도체 칩(24)을 부착하는 공정과, 상기 반도체 칩(24) 주변의 부재상으로 노출된 부재의 전도성 물질(15)에 다수의 인출단자(26)를 부착하는 공정과, 상기 스트립 형태의 글래스(12)를 반도체 패키지 영역 단위로 소잉하는 공정으로 이루어진 것을 특징으로 한다.

바람직하게는, 상기 인출단자(26) 부착 공정전에 부재와 칩(24)간에 융착되어 있는 병퍼(18)를 따라 코팅재(20)를 몰딩하는 공정이 진행된다.

더욱 바람직하게는, 상기 부재에 병퍼(18)를 융착시켜 반도체 칩(24)을 부착하는 공정전에 상기 코팅재(20)의 몰딩시 코팅재(20)가 내부로 넘치는 것을 방지하고자 칩(24)과 부재간에 융착된 병퍼(18) 안쪽 둘레를 따라 망(22)을 형성하는 공정이 진행된다.

여기서 본 발명을 실시예로서, 첨부한 도면을 참조로 더욱 상세하게 설명하면 다음과 같다.

첨부한 도 1은 본 발명에 따른 반도체 패키지의 일 실시예를 나타내는 단면도로서, 상기 반도체 패키지(100)는 소정의 크기를 갖는 글래스(12)와, 중앙이 절개되어 개방된 형태로서 상기 글래스(12)에 접착제와 같은 접착수단(16)으로 부착된 회로필름(14)과, 이 회로필름(14)의 중앙 개방부 테두리단에 병퍼(18)의 융착으로 부착된 반도체 칩(24)과, 상기 회로필름(14)의 일면으로 노출되어 있는 전도성패턴(15)에 부착되는 다수의 인출단자(26)로 구성된다.

더욱 상세하게는, 상기 회로필름(14)은 필름(17)과, 이 필름(17)의 일면상에 식각처리된 전도성패턴(15)으로 이루어진 것으로서, 상기 필름(17)의 반대측면으로 전도성패턴(15)이 등간격으로 노출되어진다.

따라서, 상기 회로필름(14)의 중앙 개방부 테두리단으로 노출된 전도성패턴(15)부위에 반도체 칩(24)이 병퍼(18)의 융착으로 부착된다.

실질적으로, 상기와 같이 제조된 반도체 패키지에서 글래스(12)는 반도체 패키지의 전체 면적에 걸쳐 부착된 구조가 되기 때문에, 반도체 패키지 자체의 강성유지 역할을 한다.

여기서 상기와 같은 구조의 반도체 패키지의 제조방법에 대하여 설명한다.

먼저, 다수의 반도체 패키지 영역이 설정된 스트립 형태의 글래스(12)에 중앙이 개방된 형태의 상기 회로필름(14)을 부착하는 공정을 진행하거나, 또는 상기 스트립 형태의 글래스(12)를 하나의 반도체 패키지 단위로 소잉(Sawing)한 후, 중앙이 개방된 동일 크기의 회로필름(14)을 부착하는 공정을 진행한다.

다음으로, 상기 회로필름(14)의 중앙 개방부 테두리단으로 노출된 전도성패턴(15) 부위에 병퍼(18)를 융착시켜 반도체 칩(24)을 부착시킨다.

이어서, 상기 반도체 칩(24) 주변으로 노출된 상기 회로필름(14)의 전도성패턴(15)에 솔더볼과 같은 인출단자(26)를 부착시킴에 따라, 도 1에 도시한 반도체 패키지(100)가 완성된다.

여기서 본 발명에 따른 반도체 패키지의 다른 실시예를 첨부한 도 2를 참조로 설명하면 다음과 같다.

다른 실시예로서의 반도체 패키지(200)는 일 실시예의 반도체 패키지와 같이, 소정의 크기를 갖는 글래스(12)와, 중앙이 절개되어 개방된 형태로서 상기 글래스(12)에 접착제(16)와 같은 접착수단으로 부착된 회로필름(14)과, 이 회로필름(14)의 중앙 개방부 테두리단으로 노출된 전도성패턴(15)에 병퍼(18)의 융착으로 부착된 반도체 칩(24)과, 상기 반도체 칩 주변의 회로필름(14)상으로 노출된 전도성패턴(15)에 부착되는 다수의 인출단자(26)로 구성되되, 상기 병퍼(18)간의 쇼트 방지를 위하여 각 병퍼(18)를 따라 코팅재(20)가 몰딩되고, 이 코팅재(20)가 반도체 칩(24)과 글래스(12)간의 내부공간으로 범람하는 것을 방지하기 위하여 상기 회로필름(14)의 중앙 개방부 안쪽단과 병퍼(18)의 안쪽부위를 따라 덩(22)이 형성된다.

여기서 상기 다른 실시예로서의 반도체 패키지의 제조방법을 설명하면 다음과 같다.

일 실시예와 같이 다수의 반도체 패키지 영역이 설정된 스트립 형태의 글래스(12)에 중앙이 개방된 형태의 상기 회로필름(14)을 부착하는 공정을 진행하거나, 또는 상기 스트립 형태의 글래스(12)를 하나의 반도체 패키지 단위로 소잉(Sawing)한 후, 중앙이 개방된 동일 크기의 회로필름(14)을 부착하는 공정을 진행한다.

다음으로, 상기 회로필름(14)의 중앙 개방부 안쪽면을 따라 회로필름(14)의 두께보다 높은 덩(22)을 형성한 다음, 상기 회로필름(14)의 중앙 개방부 테두리단으로 노출된 전도성패턴(15) 부위에 병퍼(18)를 융착시켜 반도체 칩(24)을 부착시킨다.

이어서, 상기 병퍼(18)를 외부로부터 보호하고, 병퍼(18)간의 쇼트를 방지하며, 내부로 이물질의 침투를 방지할 수 있도록 병퍼(18)를 따라 절연물질인 코팅재(20)를 몰딩시킨다.

마지막으로, 상기 반도체 칩(24) 주변으로 노출된 회로필름(14)의 전도성패턴(15)에 솔더볼과 같은 인출단자(26)를 부착시킴에 따라 첨부한 도 2의 반도체 패키지(200)가 완성된다.

여기서 본 발명에 따른 반도체 패키지의 또 다른 실시예를 첨부한 도 3을 참조로 설명하면 다음과 같다.

상기 반도체 패키지(300)는 중앙이 개방된 형태의 인쇄회로기판(32)과, 이 인쇄회로기판(32)의 중앙 개방부에 평행하게 삽입 부착된 동일한 두께의 글래스(12)와, 상기 인쇄회로기판(32)의 중앙 개방부 테두리단으로 노출된 전도성패턴(15)에 병퍼(18) 융착으로 부착된 반도체 칩(24)과, 상기 병퍼(18)를 따라 몰딩되는 코팅재(20)와, 코팅재(20)가 내부로 범람되는 것을 방지할 수 있도록 병퍼(18)의 안쪽을 따라 형성된 덩(22)과, 상기 반도체 칩(24) 주변의 인쇄회로기판(32)상으로 비아홀을 통하여 노출된 전도성패턴(15)에 부착된 다수의 인출단자(26)로 구성된다.

더욱 상세하게는, 상기 인쇄회로기판(32)은 수지층(44)과, 이 수지층(44)을 중심으로 일면에 식각처리된 전도성패턴(15)과, 전도성패턴(15)의 일부를 노출시키며 코팅 처리된 커버 코트(30)로 구성되는 바, 상기 전도성패턴(15)은 수지층(44)의 비아홀을 통하여 저면으로도 노출된 상태로서, 상기 병퍼(18)는 커버코트(30)상에 노출된 전도성패턴(15)에 융착되고, 인출단자(26)는 비아홀을 통하여 노출된 전도성패턴(15)에 부착된다.

여기서, 또 다른 실시예로서의 반도체 패키지의 제조방법은 상술한 일 실시예와 다른 실시예의 방법과 동일하고, 단지 글래스(12)를 미리 소정의 면적으로 소잉하여 인쇄회로기판(32)의 중앙 개방부에 평행하게 삽입 부착시키는 공정이 선행된 점에서 차이가 있는 바, 글래스(12)가 인쇄회로기판(32)과 동일한 삽입 부착되어 있기 때문에 반도체 패키지의 자체 두께는 더욱 감소된다.

첨부한 도 4를 참조로 본 발명의 또 다른 실시예를 설명하면 다음과 같다.

먼저, 스트립 형태의 글래스(12)를 구비하거나, 또는 글래스(12)를 반도체 패키지 영역 단위로 미리 소잉하여 구비한다.

다음으로, 상기 글래스(12)의 일면에 전도성의 금속 알갱이를 포함하는 전도성잉크(28)를 바르고, 반도체 칩 부착영역과 인출단자 부착영역을 제외한 부위에 커버코트(30)를 도포한다.

이어서, 상기 커버코트(30)상으로 노출된 반도체 칩 부착 영역으로서의 전도성잉크(28)에 반도체 칩(24)을 부착하고, 반도체 칩(24) 주변의 커버코트(30)상으로 노출된 인출단자 부착 영역에 인출단자(26)를 부착함으로써, 첨부한 도 4에 도시한 반도체 패키지(400)가 완성된다.

상기 반도체 패키지(400)에서 사용된 커버코트(30)와 전도성잉크(28)로 구성된 부재는 상기 회로필름(14)과 인쇄회로기판(32) 부재보다 얇기 때문에, 반도체 패키지(400)는 보다 경박단소화를 실현하며 제조된다.

발명의 효과

이상에서 본 바와 같이, 본 발명에 따른 반도체 패키지 및 그 제조방법에 의하면, 회로필름, 인쇄회로기판, 전도성잉크등 얇은 부재를 사용하여 반도체 칩이 외부로 노출되게 그리고 보다 크기와 두께를 감소시키며 반도체 패키지를 제조함에 따라, 반도체 칩의 열방출을 극대화시킬 수 있고, 경박단소화를 실현할 수 있고, 또한 상기 부재에 부착되는 글래스는 반도체 패키지의 강성유지 역할을 수행할 수 있는 장점이 있다.

(5) 청구의 범위

청구항 1. 소정의 크기를 갖는 글래스와;

상기 글래스에 접착수단으로 부착되고 입출력용 전도성물질층을 포함하는 부재와;

상기 부재의 안쪽단 테두리에 노출된 전도성물질층을 따라 범퍼 융착으로 부착되는 반도체 칩과;

상기 반도체 칩 주변의 부재상으로 노출된 전도성물질층에 부착된 다수의 인출단자로 구성된 것을 특징으로 하는 반도체 패키지.

청구항 2. 제 1 항에 있어서, 상기 부재는 필름의 일면에 전도성패턴이 식각처리된 회로필름인 것을 특징으로 하는 반도체 패키지.

청구항 3. 제 1 항에 있어서, 상기 부재는 수지층과, 수지층을 중심으로 식각처리된 전도성패턴과, 미전도성패턴의 일부를 노출시키며 수지층상에 도포된 커버코트로 구성된 인쇄회로기판인 것을 특징으로 하는 반도체 패키지.

청구항 4. 제 1 항 또는 제 3 항에 있어서, 상기 인쇄회로기판의 중앙 절개부위에 동일한 두께의 글래스가 평행하게 삽입 부착된 것을 특징으로 하는 반도체 패키지.

청구항 5. 제 1 항에 있어서, 상기 부재와 칩간에 융착되어 있는 범퍼를 따라 코팅재가 몰딩된 것을 특징으로 하는 반도체 패키지.

청구항 6. 제 1 항에 있어서, 상기 부재와 칩간에 융착된 범퍼의 안쪽끝을 따라 명이 형성된 것을 특징으로 하는 반도체 패키지.

청구항 7. 소정의 면적을 갖는 글래스와;

상기 글래스에 도포되는 입출력용 전도성물질층과;

상기 전도성물질층에 일부가 노출되게 도포된 커버코트와;

상기 커버코트의 안쪽단 테두리로 노출된 전도성물질층을 따라 부착된 반도체 칩과;

상기 반도체 칩 주변의 커버코트상으로 노출된 전도성물질층에 부착된 다수의 인출단자로 구성된 것을 특징으로 하는 반도체 패키지.

청구항 8. 제 7 항에 있어서, 상기 전도성물질층은 금속 알갱이를 포함하는 전도성 잉크인 것을 특징으로 하는 반도체 패키지.

청구항 9. 다수의 반도체 패키지 영역이 형성된 스트림 형태의 글래스에 중앙이 개방되고 전도성 물질이 노출되게 식각 처리된 부재를 접착수단으로 부착하는 공정과;

상기 개방된 부재의 중앙 테두리면으로 노출된 전도성물질층을 따라 범퍼를 융착시켜 반도체 칩을 부착하는

공정과;

상기 반도체 칩 주변의 부재상으로 노출된 부재의 전도성물질에 다수의 인출단자를 부착하는 공정과;

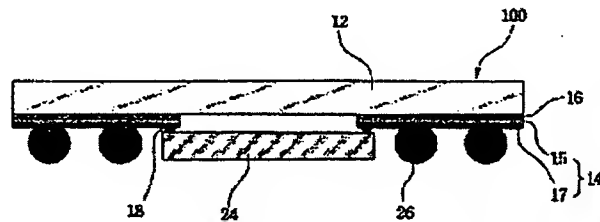
상기 스트립 형태의 글래스를 반도체 패키지 영역 단위로 소잉하는 공정으로 이루어진 것을 특징으로 하는 반도체 패키지 제조방법.

청구항 10. 제 9 항에 있어서, 상기 인출단자 부착 공정전에, 부재와 칩간에 융착되어 있는 범퍼를 따라 코팅제를 몰딩하는 공정이 진행되는 것을 특징으로 하는 반도체 패키지 제조방법.

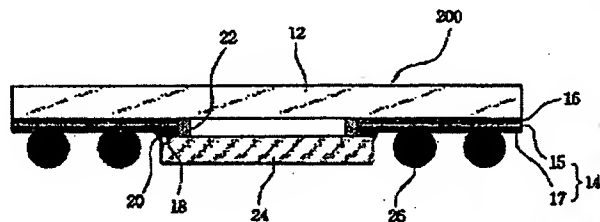
청구항 11. 제 9 항에 있어서, 상기 부재에 범퍼를 융착시켜 반도체 칩을 부착하는 공정전에, 칩과 부재간에 융착된 범퍼 안쪽 돌레를 따라 홈을 형성하는 공정이 진행되는 것을 특징으로 하는 반도체 패키지 제조방법.

도면

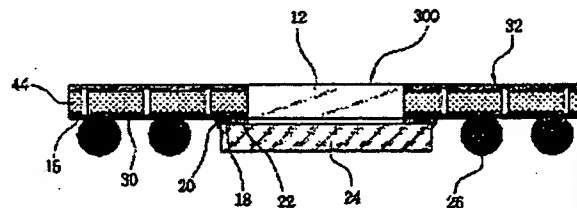
도면1



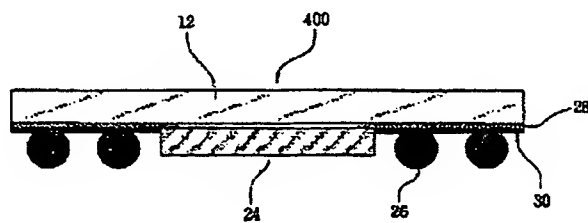
도면2



도면3



도 84



도 85

